

CLIPPEDIMAGE= JP359198714A
PAT-NO: JP359198714A
DOCUMENT-IDENTIFIER: JP 59198714 A
TITLE: MANUFACTURE OF SEMICONDUCTOR ELEMENT

PUBN-DATE: November 10, 1984

INVENTOR-INFORMATION:

NAME

ONISHI, TOYOKAZU

SUZUKI, HIDETAKE

IMAMURA, KENICHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

N/A

APPL-NO: JP58073209

APPL-DATE: April 26, 1983

INT-CL_(IPC): H01L021/02; H01L021/28

US-CL-CURRENT: 438/FOR.393,438/488

ABSTRACT:

PURPOSE: To reduce probability to damage a semiconductor wafer during the manufacturing process of a semiconductor device using a compound semiconductor, and to make the device to be suitable for automation by a method wherein a high melting point metal film or a high melting point metal silicide film is formed on the back of the wafer preceding the formation process of a semiconductor element.

CONSTITUTION: A high melting point metal film or a high melting point metal silicide film is formed on the back of a semiconductor wafer preceding the formation process of a semiconductor element using a compound semiconductor. The tungsten silicide ($\text{WSi}_{0.6}$) film 3' is formed at the degree of $1\mu\text{m}$ thickness using the magnetron sputtering method on one side of the circular wafer 1' consisting of gallium arsenide of the degree of $400\mu\text{m}$ thickness and 2 inches diameter manufactured by using the liquid encapsulated Czochralski method. After then, the wafer 1' is turned over, and the semiconductor element is formed on the wafer 1' according to the conventional

technique.

COPYRIGHT: (C)1984,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—198714

⑪ Int. Cl.³
H 01 L 21/02
// H 01 L 21/28

識別記号

庁内整理番号
6679—5F
7638—5F

⑬ 公開 昭和59年(1984)11月10日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体素子の製造方法

川崎市中原区上小田中1015番地
富士通株式会社内

⑮ 特 願 昭58—73209

⑯ 発 明 者 今村健一

⑰ 出 願 昭58(1983)4月26日

川崎市中原区上小田中1015番地
富士通株式会社内

⑱ 発 明 者 大西豊和

⑲ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地
富士通株式会社内

川崎市中原区上小田中1015番地

⑳ 発 明 者 鈴木秀威

㉑ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

半導体素子の製造方法

2. 特許請求の範囲

(1) 化合物半導体を用いた半導体素子の製造方法において、前記素子の形成工程に先立ち、半導体ウェーハの裏面に高融点金属または高融点金属の硅化物の膜を、形成する工程を含むことを特徴とする半導体素子の製造方法。

(2) 高融点金属または高融点金属の硅化物の膜を、前記半導体ウェーハの表面縁部に細線状に形成する工程を含む特許請求の範囲第1項記載の半導体素子の製造方法。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は半導体素子の製造方法の改良に関する。特に、ガリウムヒ素 (GaAs) 等の化合物半導体よりなる半導体素子の製造方法において、素子形成工程中に半導体ウェーハが破損することを防止する改良に関する。

(2) 技術の背景と従来技術の問題点

ガリウムヒ素 (GaAs)、アルミニウムガリウムヒ素 (AlGaAs)、アルミニウムガリウムヒ素リン (AlGaAsP)、アルミニウムガリウムアンチモン (AlGaSb)、アルミニウムガリウムリン (AlGaP)、インジウムリン (InP) 等の III-V 族化合物半導体は、半絶縁性基板が製造しやすいこと、キャリア移動度を大きくしやすいこと、基礎吸収端波長が可視光領域に近いこと等多数の特徴を有するので、半導体装置の材料として広く使用されている。

かかる III-V 族化合物半導体のウェーハは、従来、ホリゾンタルブリッジマン法を使用して作られていたので D 字形状であった。かかる非円形ウェーハは、半導体装置製造用の装置が従来一般に円形ウェーハを基準としている関係上、特にその自動化には不適當であった。

しかし、近來、チョクラルスキー法、リキッドエンカプスレーテッドチョクラルスキー法により大口径高品質の円形ウェーハの製造が可能とな

り、半導体装置の製造方法の自動化が促進されることになった。

ところが、Ⅲ-V族化合物半導体は、一般に強い劈開性を有し、機械的にもろく、素子形成工程中に破損する確率が高く、Ⅲ-V族化合物半導体よりなる半導体装置の製造方法の自動化を阻害する要因となっている。

(4) 発明の目的

本発明の目的はこの欠点を解消することであり、半導体装置の製造工程中にウェーハが破損する確率が小さく、自動化に適する半導体素子の製造方法を提供することにある。

(5) 発明の構成

本発明の構成は、ガリウムヒ素(GaAs)等のⅢ-V族化合物半導体をウェーハの材料とする半導体素子の製造方法において、素子形成のための工程に先立ち、半導体ウェーハの裏面に、タングステン(W)等の高融点金属またはタングステンシリサイド(WSi_x)等の高融点金属の硅化物の膜を形成する工程を含むことにある。

そこで、同様の実験を他のⅢ-V族化合物半導体、すなわち、インジウムリン(InP)、アルミニウムガリウムヒ素(AlGaAs)、アルミニウムガリウムアンチモン(AlGaSb)、アルミニウムガリウムリン(AlGaP)、アルミニウムガリウムヒ素リン(AlGaAsP)にも適用したところ、同様の結果を得た。又、タングステンシリサイド($WSi_{0.6}$)以外の高融点金属やそれらのシリサイドを補強膜材料として同様の実験をなしたところ、やはり、同様の結果を得た。

更に、ウェーハの裏面のみならず、その表面にも、素子形成の障害とならない領域に同様の補強膜を形成すれば、より効果的であろうとの着想を得て、第1図と第2図(a)、(b)とに、その平面図とA-A断面図とを、それぞれ示すように、ウェーハ1の表面縁部に額縁状に高融点金属やそのシリサイドの膜2を形成して実験を繰り返したところ、機械的振動に対する強度が更に向上するばかりでなく、ピンセットでウェーハを持った場合、表裏の高融点金属またはそのシリサイド

この構成の工程に、上記の高融点金属または高融点金属の硅化物の膜を、半導体ウェーハの表面縁部に額縁状に形成する工程を付加すると、本発明の目的を達成するために更に有利である。

換言すれば、強い劈開性を有するⅢ-V族化合物半導体のウェーハの裏面に、(イ)劈開性がなく、(ロ)化学的に安定で耐薬品性にすぐれ、(ハ)熱的に安定で耐熱性にすぐれ、(ニ)金属学的に安定で共晶・混晶等を作りにくく、(ホ)ウェーハ材料である半導体との間にストレスを発生しにくい材料の膜を形成して補強すれば、上記の目的達成に有効であろうとの着想にもとづき、一例として厚さ400~500(μm)のガリウムヒ素(GaAs)の円形ウェーハ上に、タングステンシリサイド($WSi_{0.6}$)膜を1(μm)厚程度に形成して、マスク合わせ等の半導体装置の製造工程において必須であり、ウェーハ破損の原因になりやすいプロセスをアプライして実験を繰り返したところ、ウェーハ破損率が5%以下に減少することを確認した。

の部分を持てば、それらの補強膜がピンセットの圧力を緩和し、ウェーハ破損の確率が更に低下することが確認された。なお、この実験において、表面に額縁状に形成されたタングステンシリサイド($WSi_{0.6}$)の膜圧は5000Åである。なお、3は裏面に形成された補強膜である。

(6) 発明の実施例

以下、図面を参照しつつ、本発明の一実施例に係る半導体素子の製造方法について更に述べる。
第3図参照

リキッドエンカプスレーテッドチョクラルスキー法を使用して製造され厚さが400(μm)程度であり直径が2インチであるガリウムヒ素(GaAs)よりなる円形のウェーハ1'の1面にマグネトロンスパッタ法を使用してタングステンシリサイド($WSi_{0.6}$)膜3'を1(μm)程度の厚さに形成する。

その後、ウェーハ1'を裏返して、従来の手法を使用して、ウェーハ1'に半導体素子を形成す

る。この従来の手法には、マスク合わせ工程等、機械的強度の弱いガリウムヒ素(GaAs)ウェーハを破損しやすい工程が当然に含まれる。

上記のタンガステンシリサイド($\text{WSi}_{0.6}$)膜3'が存在しない場合、10~20[%]程度のウェーハ破損率が避け難いところであるが、本実施例においてはウェーハ破損率は3~7[%]であり、大幅な改善が確認された。

(7) 発明の効果

以上説明せるとおり、本発明によれば、半導体装置の製造工程中にウェーハが破損する確率が小さく、自動化に適する半導体素子の製造方法を提供することができる。

4. 図面の簡単な説明

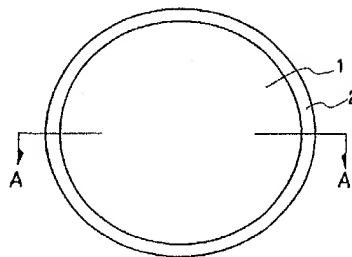
第1図は、本発明の第2の構成に係る半導体ウェーハの平面図であり、第2図(a)、(b)はそのA-A断面図である。第3図は、本発明の一実施例に係る半導体素子の製造方法の要旨に係る半導体ウェーハの側面図である。

そのシリサイドの膜、3、3'・・・高融点金属またはそのシリサイドよりなる補強膜。

代理人 弁理士 松岡宏四郎



第1図



第2図



第3図

